

第一原理からのデバイス・プロセスシミュレーション

P50

Device and Process Simulations based on first principles of quantum theory

押山淳 oshiyama@imass.nagoya-u.ac.jp

名古屋大学未来材料・システム研究所

20 世紀においては、科学の成果は半導体デバイス機能の発現を促し、人類の生活を質的に変えてきた。しかしここでは、科学と技術のそれぞれの研究開発活動は独立のもので、いわばそれぞれの上澄みを交換しあって次に進むようなものであった。今後の新たなテクノロジーでは、上澄みを待つような時間はない。それぞれの研究開発活動が同時並行的に進んでいくことが必要である。その際の一つの共通言語が、「計算」だと考えている。HPCと物質科学を統合したコンピューティクス・アプローチ (<http://computics-material.jp/>) が重要であり、それと実際の製造現場を結びつけるシミュレータの開発と活用が鍵となる。本発表では、そうした試みの一端を紹介する

1. 第一原理計算とデバイスシミュレータ

「富岳」に代表されるメニーコア超並列アーキテクチャにおける第一原理計算(密度汎関数法計算)では、通信負荷を最小化する実空間法が最適であることは明らかである。その代表である RSDFT コードは 2011 年のゴードンベル賞受賞以後、量子輸送デバイスシミュレータである NEGF(Non-Equilibrium Green's Function) コードと結合され、量子論デバイスシミュレータとしての進化を遂げた[Milnikov, Iwata, Mori, Oshiyama]。図1は東北大学国際集積エレクトロニクス研究開発センターで開発された、次世代省エネルギーデバイスの切り札と目されている、縦型ポディチャネルMOSFETの電流電圧特性である。RSDFT+NEGF による実デバイスと同一構造デバイスに対するシミュレーション結果も示している。両者は極めて良い一致を示している。

従来のデバイスシミュレーションは、とすれば多くの経験的フィッティングパラメータを用いた、実験データ再現計算に過ぎず、いわばデバイス開発のための精神安定剤的役割を果たしていたにすぎないが、そうしたパラメータを用いずに実デバイスの特性を再現できているのは、シミュレーションが新たなフェーズに入ったことを示している。

2. 科学的知見と製造プロセス

省エネルギーデバイス材料として、広バンドギャップ半導体が有望である。その先陣を走っているのは SiC であるが、その MOS デバイスではバルクのそれよりも一桁低い電子伝導度しか達成されていない。

図2は SiC/SiO₂ 界面で、原子積層欠陥が生じた場合の界面電子準位の第一原理計算結果である[Matsushita, Oshiyama, Nano Lett 2017]。界面で伝導帯下端が下降し、電子トラップが出現することがわかった。これは SiC の伝導

帯が Floating state である[Matsushita, Oshiyama, Phys Rev. Lett 2014]という科学的発見に基づくものである。この効果は極性面で顕著であるので、非極性面を用いたデバイスでは、電子伝導度が向上することが期待され、現在製造の現場では、非極性面デバイスの開発が盛んである。

3. エピタキシャル成長シミュレーション

薄膜成長は製造技術の中で重要な位置を占める。それは複雑現象の最たるもので、その量子論に基づくシミュレーションは大きなチャレンジである。ポスターではその端緒の結果を報告する。

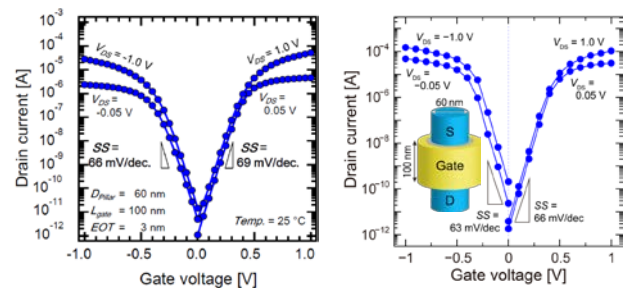


図1: Si 縦型ナノワイヤー-MOSFET のドレイン電流 vs ゲート電圧特性。左図: 実デバイス特性(東北大学遠藤哲郎教授グループ)。右図: RSDFT+NEGF デバイスシミュレータの結果

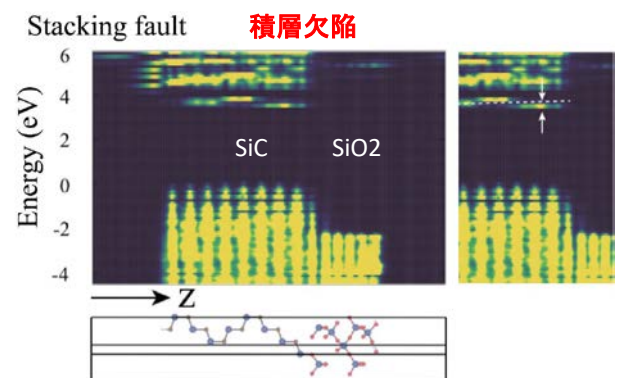


図2: 第一原理計算による SiC(0001)/SiO₂ 界面での電子状態密度。界面積層欠陥により電子トラップが出現する。

【共著者(所属)】

岩田潤一(アドバンスソフト)・松下雄一郎(東工大)・森伸也(阪大)・美里効夏南(阪大)・白石賢二(名大)・Bui My(名大)・Boero Mauro(Strasbourg 大)・寒川義裕(九大)

【関連プロジェクト】

ポスト「京」プロジェクト重点課題 7